

**MEMORY SYSTEM WITH COMMUNICATION FUNCTION**

Patent Number: JP6103243  
Publication date: 1994-04-15  
Inventor(s): HIRATA TETSUHIKO; others: 03  
Applicant(s):: HITACHI LTD  
Requested Patent: ☐ JP6103243  
Application Number: JP19920252374 19920922  
Priority Number(s):  
IPC Classification: G06F15/16 ; G06F13/00  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:**To provide a memory system with a communication function as an attaining means for a distributed shared memory to be one of approaches to a distributed processing system.

**CONSTITUTION:**Computer hardware constitution connecting a main processor 101, a main memory 102, various I/O devices 103, and a ROM 104 to a system bus is provided with a port controller 108 for controlling access competition between data reading/writing from the system bus 105 and that from a protocol LSI 106 and a signal line 111 for branching an address line in the system bus 105 and inputting the branched line to the LSI 106. Thereby, the transmission/ reception of I/O data to/from a network 107 can be efficiently executed and the load of the network 107 can be reduced.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-103243

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/16	3 2 0 A	8840-5L		
13/00	3 5 5	7368-5B		

審査請求 未請求 請求項の数9(全 9 頁)

(21)出願番号 特願平4-252374

(22)出願日 平成4年(1992)9月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 平田 哲彦

神奈川県川崎市麻生区王禅寺1099番地株式  
会社日立製作所システム開発研究所内

(72)発明者 横山 達也

神奈川県川崎市麻生区王禅寺1099番地株式  
会社日立製作所システム開発研究所内

(72)発明者 水谷 美加

神奈川県川崎市麻生区王禅寺1099番地株式  
会社日立製作所システム開発研究所内

(74)代理人 弁理士 薄田 利幸

最終頁に続く

(54)【発明の名称】 通信機能付きメモリシステム

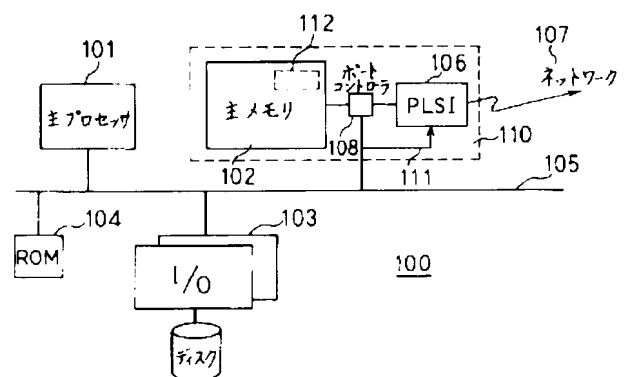
(57)【要約】

【目的】分散処理システムへのアプローチの一つである分散共有メモリの実現手段として通信機能付きメモリシステムを提供する。

【構成】主プロセッサ101、主メモリ102、各種I/O103、ROM104がシステムバス105に接続されている計算機ハードウェア構成において、システムバス105からポートコントローラ108、プロセッサLSI106からのデータバス・ポートアクセス競合を制御するポートコントローラ108、システムバス105上アドレス線を分岐させてプロセッサLSI106に入力する信号線111を設ける。

【効果】I/O上のデータをネットワークに送出、受信するのを簡便に、容易に行うことができ、ネットワーク負荷が軽減される。

図1



## 1

【特許請求の範囲】

【請求項１】主プロセッサ、主メモリ及び各種Ｉ／Ｏがシステムバスを介して接続されている計算機において、伝送路アクセス制御を実行するネトワーク制御部、通信プロトコル処理を実行するコアプロセッサ、該コアプロセッサのフレームウェアを格納するプログラムメモリから成るプロトコル処理回路を、ポートコネクタを介して前記主メモリに直接接続して通信機能付きメモリとしたことを特徴とする計算機。

【請求項2】請求項1記載の計算機において、前記システムバスにアドレス線から前記主メモリへの信号線を分岐させて前記プロトコル処理回路に入力する信号線を設け、

前記ホートロジック回路は、前記システムバスからのデータリード/ライトと、前記プロセッサ処理回路からのデータリード/ライトのアクセス競合制御を行うよう構成したことを特徴とする計算機。

【請求項3】請求項1記載の計算機において、前記通信プロトコル処理回路をインターネ、トワーク環境への計算機接続には欠かせない標準プロトコルによるプロトコルLSIとしたことを特徴とする通信機能付きメモリを備えた計算機。

【請求項4】主プロセッサ、主メモリ及び各種I/Oがシステムバスを介して接続された計算機における、主プロセッサによって

伝送路下層セグメント制御を実行するポートプロトコル制御部と、  
通信ポートと、処理を実行するポートプロトコルセグメントと、二  
ポートプロトコルセグメント間のフレームワークを格納するポートプロ  
トコルフレームワークと、通信ポートと、処理回路を備える。

前記計算機システムが共有システムであり、そのユーザが  
エリアがなし、前記共有システムエリアに通信制御御  
のソフトウェアを有することを特徴とする通信機能付き系  
システムである。

【請求項5】 伝送路アクセス制御を実行するホストコンピュータ制御部、通信プロトコル処理を実行する通信プロトコル制御部、該通信プロトコル制御部の要求に応じて格納するデータフレーム、前記部の3部分からなる通信機能部、計算機主、前記部、計算機システムバスが結合した構成であり、前記通信機能部から前記部、システムバス、前記部、計算機主と結合制御がなされるホストコンピュータ制御部、前記通信機能部がシステムバスと接続し、前記部と前記部との通信を頻度分設させて前記通信機能部、人為的及び自動的、1方向又はL S I化して自動制御される通信機能部を有する構成である。

[illegible]

## 2

処理回路が前記主メモリに接続され、さらに前記プロセッサ処理回路に接続されるネットワーク伝送路を無線化したことを特徴とする携帯端末。

【請求項7】主プロセッサ、主メモリ及び各種I/Oがシステムバスを介して接続され、伝送路アクセス制御を実行するネットワーク制御部と、通信プロトコル処理を実行するコアプロセッサ部と、コアプロセッサ部のプログラムデータを格納するプログラムメモリからなるプロトコル処理回路が前記主メモリに直接接続された計算機によるネットワーク送受信方法において

前記主プロセッサが前記各種 I/O から前記主、副プロセッサを読み出し、前記プロトコル処理回路が主、副プロセッサから前記データを送信する、ことを特徴とする請求の範囲 1 のデータ受信方法。

【請求項 8】請求項 7 記載のネットワーク接受信方法において、前記主メモリがローカルエリア及び共有メモリエリアを有し、前記主メモリへのライトが発生したとき、前記プロトコル処理回路がライト信号をキャッチし、前記主メモリでいずれのエリアへの書き込みか判別し、前記共有メモリエリアへの書き込みの場合、前記データを書き込み、前記プロトコル処理回路で送信のためプロトコル処理を行った後、前記ネットワークに直接送信する。ことを特徴とするネットワーク接受信方法。

【請求項9】請求項8記載のシステムが受信方法において、前記主、または、サブカードが発生したとき、前記プロトコル処理回路がリーダ信号をキャッチし、前記共有、または、専用カードの場合には、前記リーダが有効か無効か判別し、無効の場合には最優先カードを受信して、前記共有、または、専用に書き込む、ことを特徴とするシステム受信方法。

【発明の詳細な説明】

 $\begin{bmatrix} 0 & 0 & 0 & 1 \end{bmatrix}$ 

【産業上の利用分野】本発明は、情報通信ネットワークシステムに関する、特に、個々のネットワーク環境で分散して利用される情報システムに関する。

**【0002】**

【従来の技術】現在、一般的な分散処理システムは、プロセス単位上に分散した複数のプロセスが、各々独立に自己アドレス空間を確保、すなわち I-PC (Interprocess Communication) と R-PC (Remote Procedure Call) で通信するものである。この場合、リンクが主である。

[illegible][illegible]

## 3

【0005】これに対し、ネットワーク上の複数プロセッサによって論理的にメモリ空間を共有する分散共有メモリのアプローチがある。

【0006】分散共有メモリには、メモリ転写のように通信制御装置上のある限られたアドレス空間のデータについては、周期的にブロードキャストすることにより常に一致化を図ろうとするもの、あるいはMemnetのようにプロトコルレスにすることにより通信制御装置を廃止してネットワークをメモリに直接接続しようとするものがある。

【0007】なお、このような分散共有メモリの実現方法に関しては、例えば

An Analysis of Memnet: An Experiment in High-Speed Shared-Memory Local Networking, Gary S. Delp 他, Proc. of SIGCOM'88, pp165-174

において論じられている。

【0008】

【発明が解決しようとする課題】上記公知例の技術は、RPC等を用いたメッセージパッシングでは、自ノード内のコアについても通信が発生し、ローカルメモリのメリットを活かせない一方、分散共有メモリではキャッシングによりローカルメモリのメリットを活かせることに着目したものである。しかしながら同技術には以下に述べるような問題点があった。

【0009】a) メモリ転写

通信制御装置上の共有メモリは、ノード毎に固定エリアが割り振られ、他ノードとのデータはブロードキャストになること。一定周期で常に情報をブロードキャストして内容の一致化を図っているためメモリが大きくとれないこと（限られた時間内に送れる程度の情報量にしなければならぬ）。ネットワークの負荷が常に発生すること、など。

【0010】b) Memnet

プロトコルレスでネットワークインタフェースを簡素化しようとしているため、ヘテロジニアス(heterogeneous)環境、あるいはプロトコル制御の役割が大きいインターホールの環境では使用出来ない。

【0011】本発明の目的は、メモリ転写を不要にしてネットワーク負荷を小さくした分散共有メモリを実現するシステムを提供することにある。

【0012】本発明の他の目的は、I/O装置内コアのネットワーク受信信号を短期間で受信することによって、システムを提供することにある。

【0013】なお、本発明の他の目的は、ヘテロジニアス(heterogeneous)環境で分散共有メモリを実現するシステムを提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明は、通信制御装置上に設けられた、主メモリと、主メモリと通信制御装置とを介して直接接続

## 4

し、主メモリへのリード・ライトをプロトコルLSIを通じたネットワークアクセスに運動させるものである。主メモリにプロトコルLSIを接続するため、計算機システムバス側からのアクセスと、プロトコルLSIからのアクセスの競合を解決するポートコントローラ、およびアドレス情報を分岐させてプロトコルLSIに接続する信号線を設ける。なお、主メモリと通信制御装置を共にLSI化してもよい。プロトコルLSIの主メモリへの接続により、主メモリを通信制御装置メモリとみなすこともできる。

【0015】さらに上記化の目的のために、プロトコルLSIに標準プロトコルをインプリメントする。

【0016】

【作用】通信制御処理をLSI化したプロトコルLSIを主メモリに直接接続して、主メモリへのリード・ライトをプロトコルLSIを通じたネットワークアクセスに運動させるためには、主メモリへのREAD・WRITE信号をキャッチすることが必要になる。このために、計算機システムバスのアドレス線をポートコントローラのみでなく、プロトコルLSIに分岐させて入力することにより、プロトコルLSIは主メモリへのリード・ライトをキャッチし、ネットワークへのデータ要求・データ送出に備えることが出来る。具体的には、リードの場合にはWRITE信号をキャッチすると、それが共有アドレスエリアへの書き込みかローカルエリアへの書き込みかを判別し、共有エリアへの書き込みの場合には主メモリ上のデータに通信プロトコル処理を施し、データをネットワークに向け送信する。リードの場合にはREAD信号をキャッチするとそれが共有アドレスエリアからの読みかローカルエリアからの読みかを判別し、ローカルエリアからの場合はそのままネットワークインタフェースの処理を終了、共有エリアの場合には、そのデータが有効であるかどうかを判別し、有効でない場合は最新データを保持中のエンドシステムに向けて最新データの受信要求を送る。その後、送られてきたデータを受信し、共有アドレスエリアへ格納する。

【0017】

【実施例】以下、本発明の実施例を図面を参照しながら説明する。

【第1実施例】図1は、本発明の特徴を表す計算機システム構成例を示したものである。計算機100は図1の中央部101、主メモリ102、各種I/O103、ROM104、各種計算機システムバス105に接続されている。106は、通常I/Oポートを有するメモリと、通信制御装置LSI107とを有するプロトコルLSI106+PLSI107(4)である。図1の102+PLSI106は通信制御装置メモリ110として機能し、形成されている。

【0018】図2は、102+PLSI106の内部構成例を示す。図2は、102+PLSI106の内部構成例を示す。図2は、102+PLSI106の内部構成例を示す。

## 5

マ105からの情報と、ネットワーク107からの情報がアクセス競合した場合の制御を実行する。111は、主プロセッサ101の主メモリ102へのリード、ライト信号をPLS1にも伝えるための制御線である。112は主メモリ内に設けられた通信制御用のバス・アメモリである。このような構成により、主メモリ102からネットワーク107へ直接主メモリ上の情報データを送信、受信する。ここでいう直接とは、例えばデータ送信の場合、システムバス105を介して主メモリ102から通信用のI/Oにデータを書き込み、その後ネットワーク伝送路107へデータを送出するのではなく、ネットワーク伝送路107に向けて主メモリ102が開かれているという意味である。

【0019】図2は本発明による情報通信ネットワークシステムの構成例を示す図である。この情報通信ネットワークシステムは、主プロセッサ101A、主メモリ102A、PLS1106A、ディスク301からなるエントリシステム100Aと、主プロセッサ101B、主メモリ102B、PLS1106Bからなるエントリシステム100Bと、主プロセッサ101C、主メモリ102C、PLS1106Cからなるエントリシステム100Cと、主プロセッサ101D、主メモリ102D、PLS1106Dからなるエントリシステム100Dとが、ネットワーク107に接続されたものである。このような情報通信ネットワークシステムの使用法の一つとして分散共有メモリがある。分散共有メモリとは、複数プロセッサ(101A~101D)がそれぞれ主メモリ(102A~102D)上に共有アドレス空間の一部を持ち、プロセッサ間でページを送受信することによりメモリの共有を実現するものである。

【0020】図3は分散共有メモリ概念を説明する図である。各プロセッサの共有アドレス空間の一部は共用メモリのキャパシティーをみなすことが出来る。すなわち、共有メモリ406には、Aという情報を持つページ401と、Bという情報を持つページ402と、Cという情報を持つページ403があり、エントリシステム107Aの主プロセッサ101Aは、共有アドレス空間404A、ローカルエリア405Aからなる主メモリ102Aをアクセスし、図では共有アドレス空間404Aにはページ401の情報Aが入っている。エントリシステム107B、107Cも同様に、107Bの共有アドレス空間404Bにはページ103の情報Cが、107Cの共有アドレス空間404Cにはページ402の情報Bが入っている。従来、このような分散共有メモリは、物理的に各プロセッサが共有アドレス空間を占有していたが、本発明では物理的に占有するメモリをMemnetとし、すなわち、メモリを共有可能な環境で、物理的に占有せずに、共有アドレス空間を確保し、これを共用記憶として用いる。

【0021】図4は、主メモリ102とPLS1

## 6

06についてより詳細に表した図である。主メモリ102は、共有アドレスエリア404、ローカルエリア405から成り、共有アドレスエリア404の一部が通信制御用バッファ112となっている。PLS1106は、ネットワーク伝送路の制御を実行するネットワーク制御部703、プロトコルの処理を実行するプロセッサコア701及びそのコアプロセッサで実行するプログラムを格納するプログラムメモリ702から成る。プログラムバスを構成するアドレスバス704、データバス705のうち、アドレスバス704からポートコントローラ108に入るアドレス線は、制御線111でPLS1106にも伝えられ、データのリード、ライトが共有アドレスエリア404へのものか、ローカルエリア405へのものかをPLS1106で判断する。これによって、主プロセッサ101は通信を意識することなしにリード、ライトの延長でネットワーク送受信を実行することになる。

【0022】図5、図6は主メモリへのシステムバスからのデータライト、リード時のPLS1コア701の処理概要である。まず、図5において、主メモリ102へのライトが発生すると、PLS1はWRITE信号をキャッチし(801)、それがローカルエリア405への書き込みか、あるいは共有メモリエリア404への書き込みかを判別する(802)。ローカルエリアの場合にはそのまま処理を終了する。共有アドレスエリア405への書き込みの場合は、主プロセッサ101がデータをリードしたタイミング、又は何れ一つのプロセッサがそのページを読み出しアクセスするタイミング、でデータの送信が発生するので、PLS1で送信のためのプロトコル処理を行なった後(803)、データをネットワークに向け送信する(804)。この後、主プロセッサ101に向けてリードの完了が報告される。

【0023】次に図6において、主メモリ102へのリードが発生すると、PLS1はREAD信号をキャッチし(901)、それがローカルエリア405のリードか、あるいは共有アドレスエリア404のリードかを判別する(902)。ローカルエリアの場合にはそのまま処理を終了する。共有アドレスエリアの場合には、そのデータの最新で有効か、あるいは無効かを判別し(903)、有効の場合はそのまま処理を終了する。共有アドレスエリアのデータが無効の場合には、最新データを保持するメモリ・システムへ最新データ要求を送信し(904)、データが受け取られてきた(905)、受信処理した後、共有アドレスエリアに書き込む(906)。その後、主プロセッサ101、主メモリ102の動作が完了し、共有アドレスエリアのデータが最新かつ有効であることを確認するまで、PLS1106は、read、writeの両方にinvalid、shared、dirty、shared、dirty等の状態を返す。

【0024】図7は、主メモリ102の共有メモリ

## 8

10

20

317

412

117

**【0035】** 填5填6 1 4 1 5 6 6 6 6 6

末に適用した例である。携帯端末1601は、持ち運びが出来るように、主メモリ102と組み合わせるPLS I 1602を無線アンテナ107に接続して無線対応としたものである。すなわち、図6のネットワーク制御703を例えば無線LAN用MAC制御としたものである。

【0036】図15は、本発明を電子手帳に適用した例である。通信機能付きメモリ110をICカード化するなどコンパクトになれば、電子手帳1701とパソコン、WS1702とを無線ネットワーク1703で結んだシステムを構築できる。本実施例によれば、情報機器のコンパクト化にあわせた無線ネットワークシステムの構築が容易になる。

#### 【0037】

【発明の効果】本発明による通信機能付きメモリシステムは、以下に記載されるような効果を奏する。通信機能付きメモリシステムの導入により、計算機の主プロセッサは、主メモリを通信制御装置メモリと同じ感覚で扱うことが出来るようになるため、I/O上のデータをネットワークに送出又は受信するネットワーク送受信を効率的に行うことができる。すなわち、I/O上のデータをネットワークに送出する際のI/Oから主メモリシステム空間へデータ一時格納、および主メモリから通信制御装置メモリへデータ一時格納という2回のデータコピーの処理、主メモリから通信制御装置へデータコピーを省くことが出来る。逆にネットワークからデータを受信した場合にも直接主メモリにデータが格納される。

【0038】また、メモリ転写に比べて、共有アドレスエリアでのデータが書き変わった場合のみ通信が発生するので、伝送路の負荷を低減することが出来ると共に、共有メモリエリアを広くとれる。さらに、リード・ライトが固定化されている共有エリアを自由にリード・ライ

トできるようにする。さらに、標準プロトコルをサポートしているため、プロトコルがないとつながらないインターネットワーク環境や、ヘテロジニアス環境での効率良い分散共有メモリが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の計算機システムハードウェア構成図。

【図2】本発明による情報通信ネットワークシステム構成例。

【図3】分散共有メモリ概念説明図。

【図4】主メモリ・プロトコルLSI接続関連図。

【図5】主メモリライト時のプロトコルLSI処理フロー。

【図6】主メモリリード時のプロトコルLSI処理フロー。

【図7】従来構成の場合のネットワーク送信時のデータの流れ。

【図8】本発明による構成の場合のネットワーク送信時のデータの流れ。

【図9】1チップ通信機能付きメモリの構成。

【図10】プロトコルLSIを着脱可能とした構成図。

【図11】インターネットワークシステム構成例。

【図12】OSIプロトコルレイヤ。

【図13】TCP/IPプロトコルレイヤ。

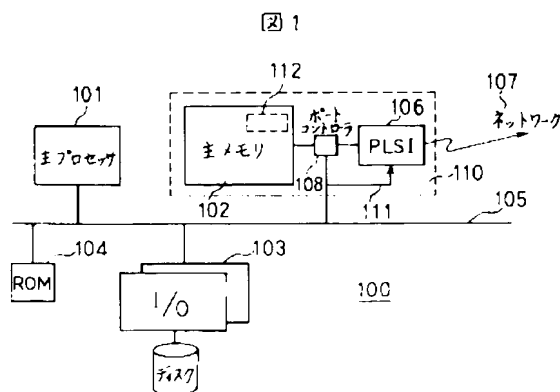
【図14】通信機能付きメモリの携帯端末への適用例。

【図15】通信機能付きメモリの電子手帳への適用例。

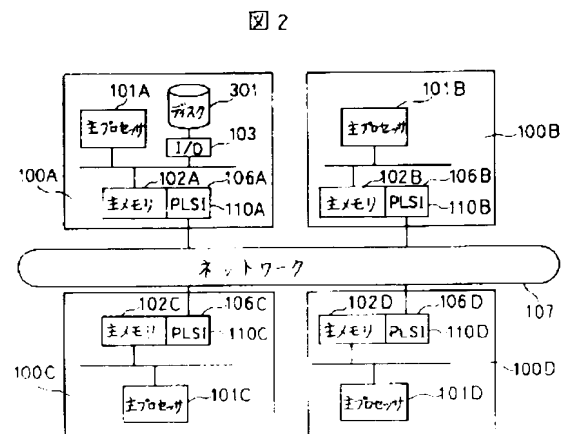
#### 【符号の説明】

100…計算機、101…主プロセッサ、102…主メモリ、103…各種I/O、104…ROM、105…システムバス、106…プロトコルLSI (PLS I)、107…ネットワーク、108…ポートコントローラ、109…1チップ通信機能付きメモリ、110…アドレス信号線、

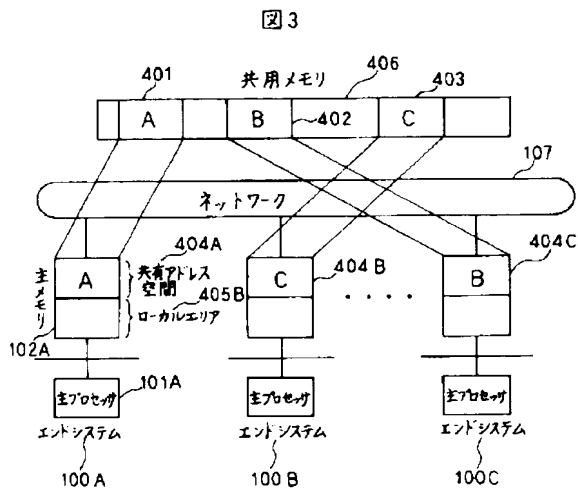
【図1】



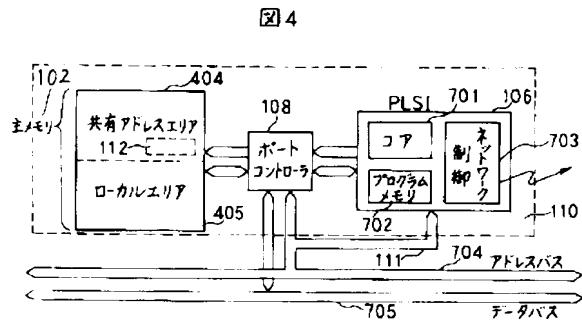
【図2】



【図3】



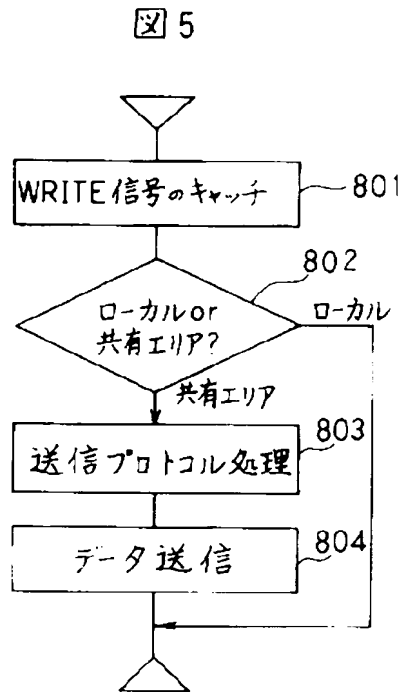
【図4】



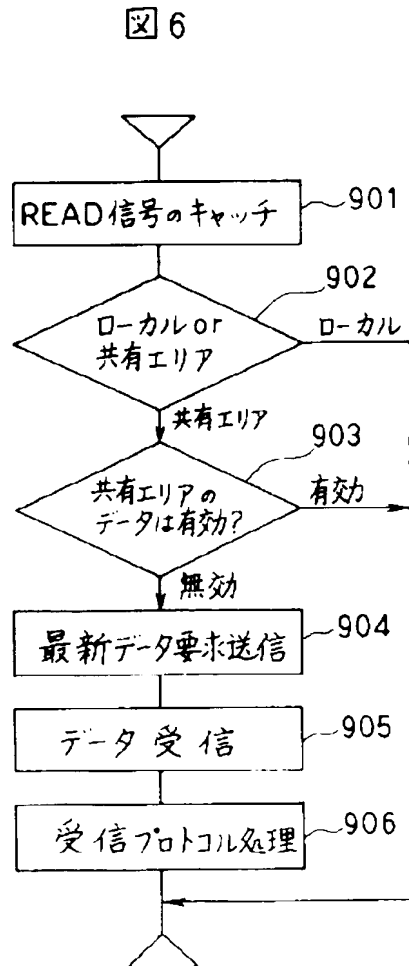
【図12】

図12

【図5】



【図6】



レイヤ7	アプリケーション	計算機主プロセッサ
6	プレゼンテーション	
5	セッション	
4	トランスポート	PLSI
3	ネットワーク	
2	データリンク	
1	フィジカル	

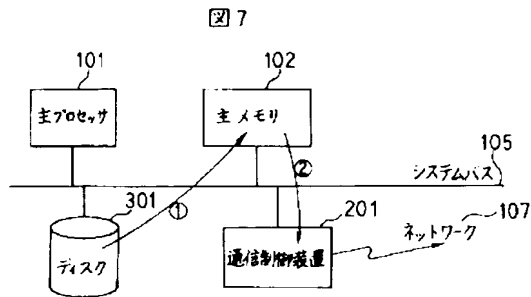
【図13】

図13

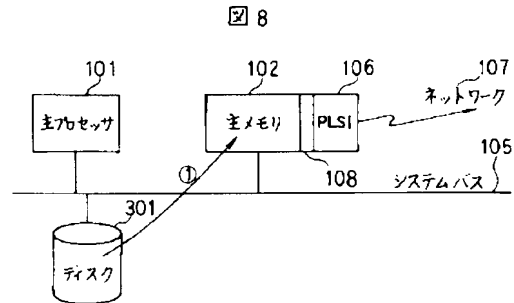
レイヤ7	アプリケーション	計算機主プロセッサ
6	アプリケーション	
5	TCP, UDP, ICMP	
4	TCP, UDP, ICMP	PLSI
3	[P, ARP]	
2	[P, ARP]	
1	フィジカル	



【図7】

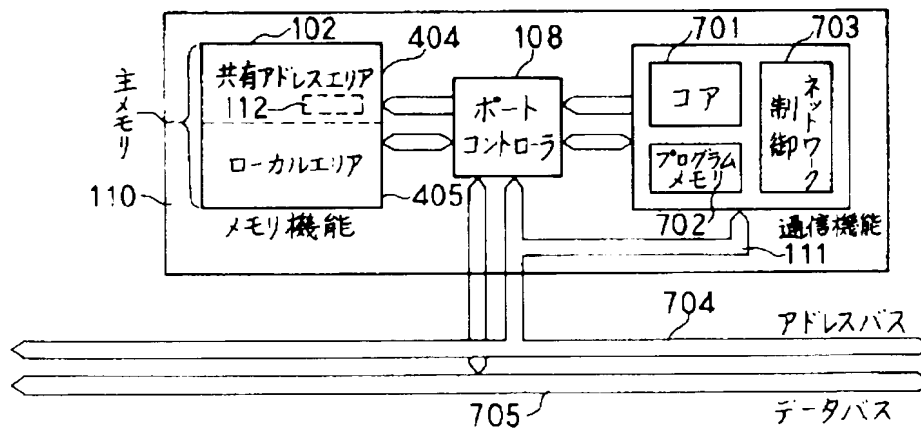


【図8】

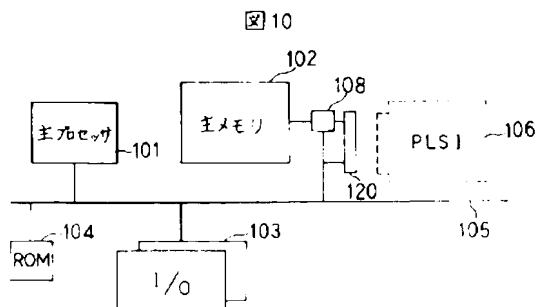


【図9】

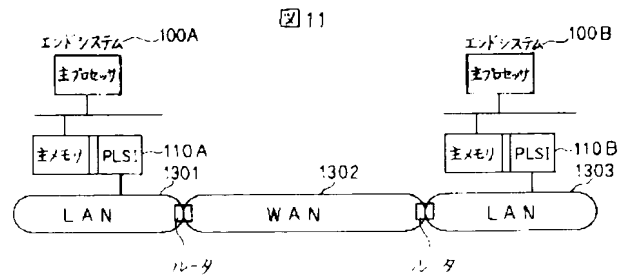
図9



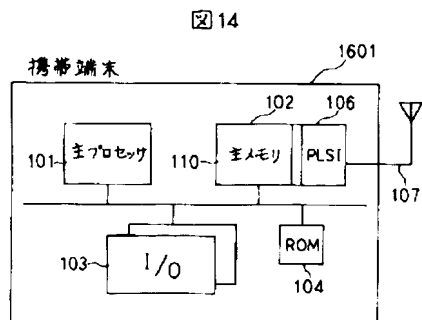
【図10】



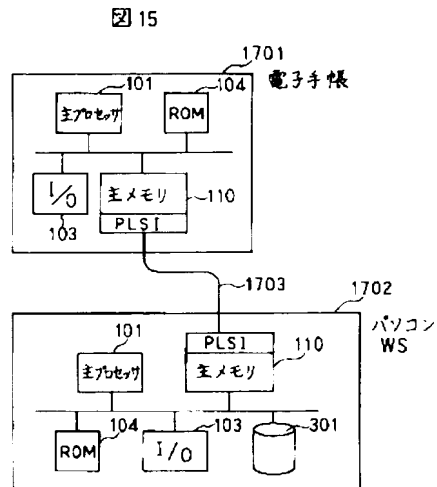
【図11】



【図14】



【図15】



フロントページの続き

(72) 発明者 高田 治  
 神奈川県川崎市麻生区王禅寺1099番地株式  
 会社日立製作所システム開発研究所内